

서버 시스템에서 낸드 플래시 메모리의 쓰기 지연시간 연산을 감소하기 위한 하이브리드 디스크 버퍼 메모리 관리 기법

(Management Policy of Hybrid Disk Buffer Memories for
Latency Reduction of Write Operations on NAND Flash
Memory in Server Systems)

김 성 호^{*}, 황 상 호[†], 최 준 형[‡]

[†](재)경북IT융합산업기술원, [‡]영남대학교

(Sungho Kim, Sang-Ho Hwang, Jun-Hyeong Choi)

([†]Gyeongbuk Institute of IT Convergence Industry Technology (GITC)., [‡]Yeungnam Univ.)

Abstract : In this paper, a hybrid buffer disk memory management technique is proposed to reduce the write latency operation of NAND flash memory in a server system. The proposed hybrid disk buffer management scheme is composed of three operation structures in consideration of the characteristics of the hybrid disk buffer and SSD. The three operation configurations were performed based on the state of each page. Based on the experimental results, the proposed hybrid disk buffer management technique reduces the number of write operations in the NAND flash memory by increasing the number of write operations by 57.63% on average in the hybrid disk buffer, compared with LRU, CLOCK, and CLOCK-DNV.

Keywords : NAND flash memory, Buffer replacement policy, Flash write reduction, Hybrid buffer systems, Non-volatile memories

1. 서 론

대표적인 휘발성 메모리인 DRAM(dynamic random access memory)는 3D 기술을 활용하여 현재까지도 꾸준히 집적도 향상을 통해 캐시, 메인 메모리, 디스크 버퍼 등 다양한 분야에서 활용되고 있다[1]. 그러나 DRAM은 전원이 차단되면 데이터가 손실되는 문제로 인해 비휘발성 메모리를 활용하여 데이터 손실을 최소화하기 위한 다양한 연구가 활발히 진행 중에 있다.

비휘발성 메모리 중 특히 낸드 플래시 메모리(NAND flash memory)는 다수의 낸드 플래시 메모리를 하나의 대용량화를 할 수 있는 형태인

SSD(solid state drive)를 통해 개인, 워크스테이션, 서버 등 다양한 컴퓨팅 시스템에서 메인 스토리지로 활용되고 있는 추세이다. SSD는 기존 스토리지와 비교하여 성능적인 향상이 존재함에도 비대칭 연산 단위, 비대칭 연산 속도 등 다양한 문제로 디스크 버퍼의 활용성이 요구되었다.

그러나 SSD의 디스크 버퍼는 일반적으로 DRAM을 활용하여 기존의 문제점을 해결하고 있으나 버퍼 크기 및 에너지 소모로 인해 한계가 존재한다. 이러한 문제를 해결하기 위해 최근에는 DRAM과 NVMs(non-volatile memories)를 결합한 하이브리드 버퍼 구조에 대한 연구가 진행되고 있다[2]. 하이브리드 버퍼 구조는 DRAM의 빠른 연산 속도와 NVMs의 높은 직접도를 활용한 구조이며, 특히 NVMs의 경우 읽기 속도가 DRAM과 유사하다는 장점이 있다. CLOCK-DNV(clock with DRAM and NVM hybrid write buffer)는 하이브리드 버퍼를 위해 고안된 기법으로 DRAM의 빠른 쓰기 연산속도와 NVMs의 높은 직접도의 특성을

*Corresponding Author (shk@gitc.or.kr)

김성호, 황상호: (재)경북IT융합산업기술원

최준형: 영남대학교

※ 본 연구는 2020년도 중소벤처기업부의 기술개발사업 지원에 의한 연구임 [S3034199]

고려하지 않고 설계한 측면이 있다.

본 논문에서는 기존 메인 메모리에서 활용한 기법인 AC-CLOCK(adaptive classification CLOCK)을 서버 시스템의 특성을 고려한 하이브리드 버퍼 관리 기법으로 활용하고자 한다[3]. AC-CLOCK은 메인 메모리의 특성을 고려하였기 때문에 아래와 같이 서버 시스템에서의 SSD 및 하이브리드 버퍼의 특성을 고려하여 새롭게 설계할 필요성이 있다.

1. SSD는 읽기 대비 쓰기 지연시간이 긴 특성이 있다. 또한 SSD는 기존 파일시스템의 특성인 공간/시간지역성의 영향이 크다.
2. 하이브리드 버퍼에서 NVMs는 DRAM과 비교하여 약 8배의 긴 쓰기연산 속도를 가지고 있으며, 읽기 연산은 유사한 특성이 있다.
3. 서버시스템에서의 SSD는 순차 연산이 빈번하게 발생하여 이를 고려하여 하이브리드 버퍼를 설계할 필요성이 있다.

앞서 제시한 특성을 고려하여, 본 논문에서는 서버 시스템에서 하이브리드 버퍼 메모리 구조 관리를 위한 새로운 기법을 제안한다. 본 논문에서의 구성은 2장에서 하이브리드 버퍼 구조에 설명하고 제안 기법에 대해 내용을 서술한다. 3장에서는 제안 기법의 성능 평가를 진행하고, 4장에서는 본 논문의 결론을 도출한다.

II. 하이브리드 버퍼 관리 기법

하이브리드 버퍼 관리 기법을 서술하기에 앞서, 하이브리드 버퍼 시스템을 구성하는 메모리들의 주요 특성들은 표 1과 같다. 아래의 표 1에서 볼 수 있듯이, DRAM과 NVMs는 낸드 플래시 메모리에 비하여 짧은 지연시간을 가진다. 또한 서버 시스템은 순차 연산이 빈번하게 발생하기 때문에 하이브리드 버퍼에서 이를 고려할 경우 SSD에 쓰기 연산

표 1. 하이브리드 버퍼 시스템에서의 메모리의 특성
Table 1. Characteristics of memories in the hybrid buffer system

설명	DRAM	NVMs	NAND flash
읽기연산 속도	50ns	50ns	100us
쓰기연산 속도	50ns	350ns	2.4ms
소거연산 속도	-	-	3.0ms
내구성	-	10 ⁸	10 ³

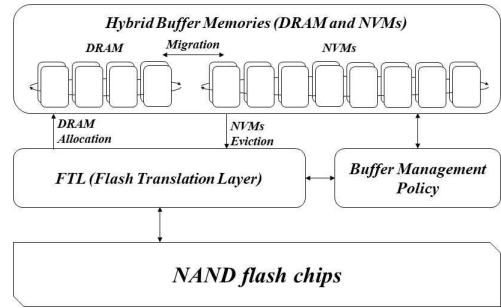


그림 1. 하이브리드 버퍼 메모리의 구조
Fig. 1. Architecture of hybrid buffer memories

을 발생하지 않고 버퍼에 데이터를 유지할 수 있다. 그림 1은 앞서 언급한 특성을 고려한 구조로 동작하며, 하이브리드 버퍼를 관리하기 위해 크게 세 가지 동작 구조를 가지고 있다.

1. 쓰기연산 속도 부하를 감소하기 위해 제안 기법은 DRAM에서 우선 할당을 수행한다. 이는 DRAM이 NVMs 대비 쓰기연산 속도에 적은 비용을 가지고 있다.
2. DRAM과 NVMs는 CLOCK 관리 기법을 기초로 하며, DRAM은 페이지 단위로 NVMs는 블록 단위로 관리한다.
3. DRAM은 페이지 당 네 가지 상태로 관리하며, NVMs는 두 가지 상태로 관리한다.

앞서 제시한 동작 구조를 기반으로 제안 하이브리드 버퍼 관리 기법은 세 가지 동작 구조로 동작하며, 세 번째 동작 구조의 상태에 따라 페이지들을

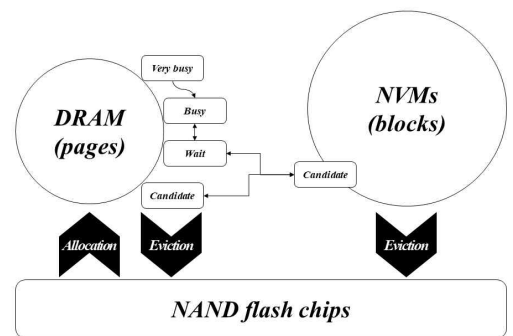


그림 2. 제안 하이브리드 버퍼 관리 기법의 상태 전이도
Fig. 2. The detailed diagram of proposed hybrid buffer management scheme

이주한다. 그림 2는 페이지들 이주 및 퇴거에 대한 상태 전이도를 보여주고 있다.

그림 2에서 제안 하이브리드 관리 기법의 DRAM 페이지 교체 정책은 다음과 같은 규칙에 따라 페이지 교체 필요 상태 전이를 결정한다. 이후 DRAM 페이지 교체 정책은 새로운 페이지를 할당한다.

- 페이지는 페이지 교체 주기 동안 최대 3회 쓰기 횟수를 측정한다. 상태 전이 조건은 3회(상위 상태 전이), 2회(현재 상태 유지), 1회(페이지 히트 횟수 검증), 0회(하위 상태 전이)로 구분한다.
- Wait는 NVMs 이주 조건 상태, Candidate 상태는 낸드 플래시 메모리 퇴거 상태를 의미한다.
- 새로운 교체 페이지 할당은 Wait 상태로 할당한다.

NVMs는 DRAM 페이지 교체 정책으로 인해 이주한 페이지를 관리하며 페이지 교체 필요 시 다음과 같은 규칙을 따른다.

- 페이지들의 상태는 최대 1회 쓰기 횟수를 측정하며, 1회 이상 쓰기 연산 발생 시 DRAM으로 이주한다.
- 페이지 관리는 블록 단위로 관리하며, 퇴거 시 블록 단위로 수행한다.

제안 하이브리드 디스크 버퍼 관리 기법의 주요 목표는 쓰기 연산이 빈번한 페이지들은 DRAM에 관리하고 읽기 연산이 빈번한 페이지들은 NVMs에 관리한다. 또한 SSD의 부하를 감소시키기 위해 NVMs는 퇴거 시 소거 연산 단위로 퇴거하는 정책을 통해 SSD 스토리지 부하를 줄일 수 있다.

이러한 정책들을 통해 제안 하이브리드 디스크 버퍼 관리 기법은 SSD 스토리지에서 기존 버퍼 기법 대비 SSD 스토리지에 성능 향상에 기여할 것으로 판단된다.

표 2. 모의실험에서 SSD 모델에 대한 매개변수
Table 2. Parameters for SSD model in the simulator

설명	값	
버퍼 크기	DRAM	6.4MB (20%)
	NVMs	25.6MB (80%)
낸드 플래시 용량	20GB	
페이지 크기	4KB	
블록 당 페이지 개수	64	
가비지 컬렉션 조건	빈 블록의 개수가 20% 미만	

III. 성능 평가

이 장에서는 제안 하이브리드 디스크 버퍼 디스크 버퍼의 성능 평가를 위해 DiskSim 4.0 모델 기반 하이브리드 디스크 버퍼 시스템 채택한 모의실험 환경 구성을 진행했다[4]. 모의실험 환경 변수는 표 2와 같으며, 실험 데이터는 UMass Trace Repository 작업부하(workload)를 사용했다[5]. 기법의 성능 평가는 LRU, CLOCK, CLOCK-DNV와 비교 및 분석을 진행하였다. 성능 평가를 비교하는 지표로는 하이브리드 디스크 버퍼의 쓰기 연산 및 낸드 플래시 메모리 쓰기 연산 횟수로 하였다.

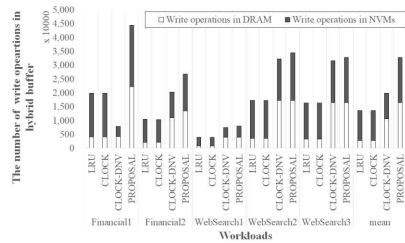


그림 3. 하이브리드 디스크 버퍼에 쓰기 연산의 횟수

Fig. 3. The number of write operations in hybrid disk buffer

우선 하이브리드 디스크 버퍼에서 쓰기 연산의 횟수를 그림 3과 같이 측정했다. 하이브리드 디스크 버퍼의 쓰기 연산 횟수는 SSD에서 발생하는 쓰기 연산 횟수를 하이브리드 디스크 버퍼 수행을 통해 SSD 성능향상에 기여할 수 있다. 제안하는 하이브리드 디스크 버퍼 관리 기법은 다른 기법과 비교하여 평균적으로 57.63% 쓰기 연산 횟수가 증가했다. 특히 제안하는 기법은 작업부하와 관계없이 성능 향상을 한 것으로 랜덤/순차 연산에 관계없이 성능 향상을 한 것을 확인할 수 있다.

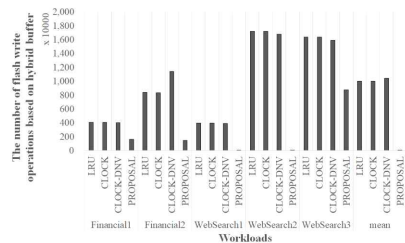


그림 4. 낸드 플래시 메모리 쓰기 연산의 횟수

Fig. 4. The number of NAND flash write operations

그림 4는 낸드 플래시 메모리 쓰기 연산의 횟수를 보여주고 있다. 제안 하이브리드 디스크 버퍼 관리 기법은 그림 3에서 쓰기 연산을 하이브리드 디스크 버퍼에서 수행함으로써 실험에서 사용된 작업 부하에서는 쓰기 연산이 거의 발생하지 않은 것을 확인할 수 있었다. 이러한 결과는 향후 연구를 통해 추가적인 분석이 필요할 것으로 판단된다.

이러한 결과들을 종합해보았을 때 제안 하이브리드 디스크 버퍼 관리 기법은 하이브리드 디스크 버퍼에 쓰기 연산이 빈번한 페이지들을 유지함으로써 낸드 플래시 메모리에 쓰기 연산 횟수를 감소한 것을 실험결과를 통해 확인했다.

IV. 결론

본 논문에서는 서버 시스템에서 낸드 플래시 메모리의 쓰기 지연시간 연산을 감소하기 위한 하이브리드 디스크 버퍼 메모리 관리 기법을 제안했다. 제안 하이브리드 디스크 버퍼 관리 기법은 하이브리드 디스크 버퍼와 SSD의 특성을 고려하여 세 가지 동작 구조로 구성하였다. 세 가지 동작 구성은 각 페이지들의 상태를 기반으로 수행하였다. 실험 결과를 통해 제안 하이브리드 디스크 버퍼 관리 기법은 하이브리드 디스크 버퍼에서 쓰기 연산을 평균적으로 57.63% 쓰기 연산 횟수 증가를 통해, 낸드 플래시 메모리의 쓰기 연산 횟수를 감소시켰다.

향후 연구에서는 다양한 작업부하 실험 및 분석을 통해 하이브리드 디스크 버퍼 기반 낸드 플래시 메모리의 성능 향상에 대한 분석을 진행할 것이다.

References

- [1] Wong, H. S. P., Akarvardar, K., Antoniadis, D., Bokor, J., Hu, C., King-Liu, T. J., & Salahuddin, S. A Density Metric for Semiconductor Technology. Proceedings of the IEEE, Vol. 108, No. 4, pp. 478-482, 2020.
- [2] Kang, D. H., Han, S. J., Kim, Y. C., & Eom, Y. I. CLOCK-DNV: a write buffer algorithm for flash storage devices of consumer electronics. IEEE Transactions on Consumer Electronics, Vol. 63, No. 1, pp. 85-91, 2017.
- [3] Kim, S., Hwang, S. H., & Kwak, J. W. Adaptive-Classification CLOCK: Page replacement policy based on read/write access

pattern for hybrid DRAM and PCM main memory. Microprocessors and Microsystems, Vol 57, pp. 65-75, 2018.

- [4] Prabhakaran. Vijayan, and Ted. Wobber, "SSD extension for DiskSim simulation environment". Microsoft Research, 2009.
- [5] OLTP and Websearch Traces form UMass Trace Repository. <http://traces.cs.umass.edu>.